

Personal computer.

Patent Number: ☐ EP0419177, A3
Publication date: 1991-03-27
Inventor(s): KATO KOICHI C O PATENTS DIVISI (JP)
Applicant(s): SONY CORP (JP)
Requested Patent: ☐ JP3105512
Application Number: EP19900310143 19900917
Priority Number(s): JP19890243872 19890920
IPC Classification: G06F1/16; G06F15/02
EC Classification: G06F1/16P2, G06F1/16P2L, G06F1/16P2S3, G06F1/20P
Equivalents: AU6211290, AU623803, JP2969677B2, KR9305832
Cited Documents: WO8901658; EP0149762; US4842531

Abstract

A portable computer (1) comprises a first casing (4) having an input and display portion (2), a second casing (8) having a signal processing circuit and a rotatable coupling member coupling the first (4) and second (8) casings, wherein the rotatable coupling member is rotatable between a first position in which the input and display portion (2) is covered with the second casing (8) and a second position in which the input and display portion (2) is exposed to make input operation possible. Thus, when an input operation is not to be performed, the input and display portion (8) is covered with the second casing (8), thereby reducing the risk that the input and display portion (2) will be damaged. Also, since the input and display portion (2) is protected by the casing (8) other than its own casing, its own casing (4) can be made compact in size and therefore the input operation can be carried out with ease.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3105512号
(P3105512)

(45)発行日 平成12年11月6日(2000.11.6)

(24)登録日 平成12年9月1日(2000.9.1)

(51)Int.Cl.⁷ 識別記号

H 0 1 L 21/8234
21/822
21/8238
27/04
27/088

F I

H 0 1 L 27/08

1 0 2 J

3 2 1 B

27/04

G

請求項の数1(全 5 頁) 最終頁に続く

(21)出願番号 特願平1-219427

(22)出願日 平成1年8月25日(1989.8.25)

(65)公開番号 特開平3-82151

(43)公開日 平成3年4月8日(1991.4.8)

審査請求日 平成8年7月31日(1996.7.31)

審判番号 平11-11083

審判請求日 平成11年7月8日(1999.7.8)

(73)特許権者 999999999

日本電気株式会社

東京都港区芝5丁目7番1号

(72)発明者 堀内 忠彦

東京都港区芝5丁目33番1号 日本電気
株式会社内

(74)代理人 999999999

弁理士 京本 直樹 (外2名)

合議体

審判長 内野 春喜

審判官 岡 和久

審判官 浅野 清

(56)参考文献 特開 昭57-67332 (J P, A)

特開 昭60-10656 (J P, A)

特開 昭62-154640 (J P, A)

特開 昭61-163655 (J P, A)

(54)【発明の名称】 MOS型半導体集積回路

1

(57)【特許請求の範囲】

【請求項1】同一基板に、MOSトランジスタにて構成され相互にデータの送受信が可能に接続された2つ以上の内部回路と、該内部回路のうち高速動作が必要な該内部回路に所定のバイアス電圧を印加するバイアス発生回路とが設けられ、前記内部回路は、データが入出力される活性状態と内部状態のみが保持される待機状態との少なくとも2状態を有し、前記バイアス発生回路は、前記活性状態・待機状態の2状態を選択する信号の入力端子を有し、かつ、高速動作が必要な前記内部回路に対してのみ、その回路の前記待機状態時に、前記活性状態より大きなソース・基板間又はソース・ウェル間に逆バイアス電圧を印加することとを特徴とするMOS型半導体集積回路。

【発明の詳細な説明】

2

[産業上の利用分野]

本発明は、MOS型半導体集積回路に関し、特に高速で且つ低消費電力のMOS型半導体集積回路に関する。

[従来の技術]

MOS型半導体集積回路では、そのしきい値電圧の設定値を変化させると、次のような回路動作状態の変化がある。即ち、MOSトランジスタのしきい値が大きい場合には、MOSトランジスタの駆動電流が減少し、回路の動作速度が低下する。これは、飽和領域のドレイン電流がゲート電圧としきい値電圧の差の2乗にほぼ比例するというMOSトランジスタの特性によるものである。一方、MOSトランジスタのしきい値が小さい場合には、回路の動作速度は向上するものの、ゲート・ソース間電圧が0Vのときに流れるサブスレッショルド電流が増加するため、インバータ回路及びNAND回路等を構成するMOSトランジス

タがオフであっても、電源ー接地電位間に流れる電流が増加し、集積回路全体の消費電力が増加する。

このため、従来のMOS半導体集積回路では、高速性と低消費電力性の両者を考慮してしきい値電圧が設定されている。

〔発明が解決しようとする課題〕

しかしながら、上述した従来のMOS型半導体集積回路では、しきい値を大きくすると回路の動作速度が低下し、しきい値を小さくすると回路の消費電力が増すため、高速性と低消費電力性という半導体集積回路の2つの目標性能を程々に満足させる程度のしきい値電圧にし

か設定することができず、両性能を共に満足させることが難しいという問題点があった。

本発明はかかる問題点に鑑みてなされたものであって、高速性に優れ、しかも消費電力が小さいMOS型半導体集積回路を提供することを目的とする。

〔課題を解決するための手段〕

本発明に係るMOS型半導体集積回路は、同一基板に、MOSトランジスタにて構成され相互にデータの送受信が可能に接続された2つ以上の内部回路と、該内部回路のうち高速動作が必要な該内部回路に所定のバイアス電圧を印加するバイアス発生回路とが設けられ、前記内部回路は、データが入出力される活性状態と内部状態のみが保持される待機状態との少なくとも2状態を有し、前記バイアス発生回路は、前記活性状態・待機状態の2状態を選択する信号の入力端子を有し、かつ、高速動作が必要な前記内部回路に対してのみ、その回路の前記待機状態時に、前記活性状態より大きなソース・基板間又はソース・ウェル間に逆バイアス電圧を印加することとを特徴とする。

〔作用〕

本発明によれば、内部回路が待機状態のときには、活性状態のときよりも大きなソース・基板間逆バイアス電圧又はソース・ウェル間逆バイアス電圧が印加される。このため、内部回路が待機状態のときには、基板又はウェルに印加される逆バイアス電圧が大きいので、トランジスタのしきい値が大きくなり、トランジスタの駆動電流が減少する。一方、内部回路が活性状態のときには、基板又はウェルに印加される逆バイアス電圧が小さくなるので、トランジスタのしきい値が低下し、トランジスタの駆動電流が増大する。このため、トランジスタの動作速度が向上する。

このように、本発明によれば、内部回路が待機状態であるか活性状態であるかによって、基板又はウェルの逆バイアス電圧を変化させることにより、待機状態では消費電力を抑制し、活性状態では動作速度を向上させるようにしているので、全体として高速性及び低消費電力性を高めることができる。

〔実施例〕

以下、添付の図面を参照しながら本発明の実施例につ

いて説明する。

第1図は本発明に対する参考例に係るMOS型半導体集積回路のブロック図である。

MOS型半導体集積回路1の内部には、内部回路2と基板バイアス発生回路3とが設けられている。内部回路2は、例えばCMOSインバータ回路からなる入出力回路等から構成されており、集積回路1の外部に引き出されたデータI/O端子4に接続されたものとなっている。基板バイアス発生回路3は、内部回路2の内部状態に応じて異なる基板バイアス電圧を発生させるもので、チップセレクト端子5によって、その発生バイアス電圧が制御されるものとなっている。即ち、この基板バイアス発生回路3は、例えば内部回路2を構成するNチャネルMOSトランジスタのソース電位が0Vであるとする、このトランジスタが形成されたP型半導体基板に、活性状態では0Vの基板バイアスが、また、待機状態では-3Vの基板バイアスが印加されるように、0V及び-3Vの基板バイアスを発生する。

次に、このように構成されたMOS型半導体集積回路の動作について説明する。

第2図は、NチャネルMOSトランジスタの基板バイアスとして0Vと-3Vを夫々印加した場合のドレイン電圧に対するドレイン電流を、また、第3図は同じくゲート電圧に対するドレイン電流を夫々示した図である。基板バイアスが0Vのときには、トランジスタのしきい値電圧が、例えば0Vから0.5Vと低いので、トランジスタの駆動電流が大きくなる。これに対し、基板バイアスが-3Vのときには、トランジスタのしきい値電圧が、例えば0.5Vから1.0Vと上昇するので、トランジスタの駆動電流が小

さくなる。本参考例においては内部回路2が活性状態のとき、つまりチップセレクト端子5がイネーブル状態になったとき、基板バイアス発生回路3から0Vの基板バイアスが出力されるので、ドレイン電流が増えて内部回路2のNチャネルMOSトランジスタの動作を高速にすることができる。この場合、第3図に示すように、ゲート電圧が0Vでも、 10^{-10} A程度のサブスレッショルド電流が流れてしまう。しかしながら、このとき内部回路2は活性状態であり、充放電電流が大きいため、サブスレッショルド電流による消費電流の増大の影響は非常に小さい。

また、内部回路2が待機状態のとき、つまりチップセレクト端子5がディスエーブル状態になったとき、基板バイアス発生回路3から-3Vの基板バイアスが出力されるので、内部回路2のサブスレッショルド電流を 10^{-12} A以下にすることができる。このため、待機状態での消費電力を十分に小さくすることができる。この場合、トランジスタの動作速度は低下するが、待機状態であるため、内部回路は動作しないので、なんら問題はない。

このように、本参考例の回路によれば、活性状態時のしきい値電圧を低くして高速の回路動作を実現すると共

に、待機状態時のサブスレッショルド電流の低減により、従来に比べ、3桁程度待機状態での消費電力を低減することができる。

なお、上記基板バイアス発生回路3は、特に待機状態で絶対的に大きな基板バイアス値を発生するので、その際の消費電力が問題となるが、待機状態では内部回路2が動作しないので、基板バイアス発生回路3の負荷は極めて小さい。このため、基板バイアス発生回路3を動作させることによる消費電力の増大は殆ど無視することができる。

ところで、MOS型半導体集積回路は、年々その素子寸法が縮小され、より高集積化されている。そのため、ゲート酸化膜の膜厚が10nm以下のものも作られるようになってきた。この場合、ゲート酸化膜の耐圧も低下するので、信頼性確保のために電源電圧を従来の5Vから3V程度に低下させる必要がある。ところが、前述したように、MOSトランジスタの飽和領域のドレイン電流は、ゲート電圧としきい値電圧の差の2乗にほぼ比例する。よって、しきい値電圧を一定にすると、電源電圧がしきい値電圧に近付いた場合、ドレイン電流は急激に小さくなり、回路速度が極端に低下する。

この点、第1図に示したMOS型半導体集積回路によれば、活性状態でしきい値電圧を小さくすることができるので、従来に比べ、より低い電源電圧まで急激なドレイン電流の減少が起こらず、極端な回路速度の低下を防ぐことができる。

第4図は本発明の実施例に係るMOS型半導体集積回路の構成を示すブロック図である。

MOS型半導体集積回路11の内部には、第1の内部回路12と、第2の内部回路13と、基板バイアス発生回路14とが設けられている。第1の内部回路12と第2の内部回路13には、夫々データI/O端子15、16が接続されている。また、第1の内部回路12と第2の内部回路13とは、その基板又はウェルが互いに分離されており、それらの間はデータの送受信が行えるように接続されている。基板バイアス発生回路14は、活性状態・待機状態選択端子17に入

力される信号に応じて2種類の基板バイアス電圧を発生させる。

この回路では、第1の内部回路12はチップ内で特に高速動作を要求され、第2の内部回路13は比較的低速の回路動作でもよいとすると、基板バイアス発生回路14は、第1の内部回路12に対してだけ、その待機時に絶対的に大きな基板バイアス電圧を発生させる。

この回路によれば、内部回路全体に対して基板バイアスを切り替える場合に比べ、MOSトランジスタのサブスレッショルド電流を小さくすることができるので、活性状態での消費電力を、より低減することができる。

なお、上記の各実施例では、基板バイアス発生回路を使用したが、制御すべきN型又はP型MOSトランジスタがP型又はN型ウェルに形成されている場合には、このP型又はN型ウェルに対して逆バイアス電圧を発生させる回路が使用される。そして、この場合にも本発明の効果を奏することは言うまでもない。

【発明の効果】

以上述べたように、本発明は内部回路が活性状態である場合と、待機状態である場合とで、その基板又はウェルバイアスを適応的に変化させるようにしたので、活性状態では高速の回路動作を実現すると共に、待機状態では消費電力の低減を図ることができ、全体として高速で、且つ低消費電力のMOS型半導体集積回路を提供することができる。

【図面の簡単な説明】

第1図は本発明に対する参考例に係るMOS型半導体集積回路のブロック図、第2図はMOSトランジスタのドレイン電流の特性図、第3図はMOSトランジスタのサブスレッショルド電流の特性図、第4図は本発明の実施例に係るMOS型半導体集積回路のブロック図である。

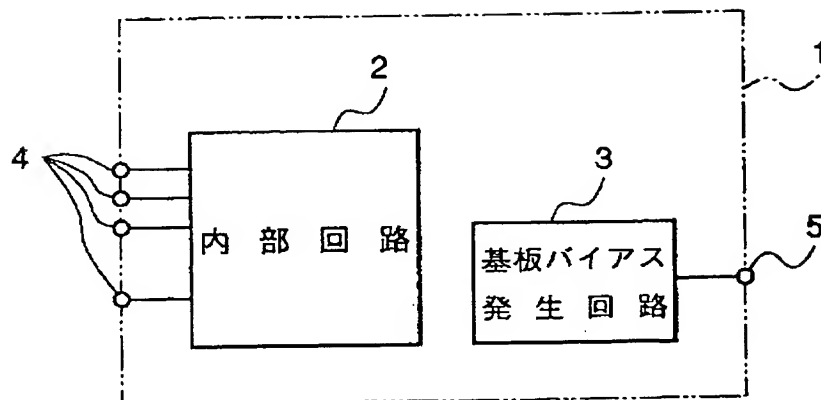
1, 11: MOS型半導体集積回路、2: 内部回路、3, 14: バイアス発生回路、4, 15, 16: データI/O端子、5: チップセレクト端子、12: 第1の内部回路、13: 第2の内部回路、17: 活性状態・待機状態選択端子

【第1図】

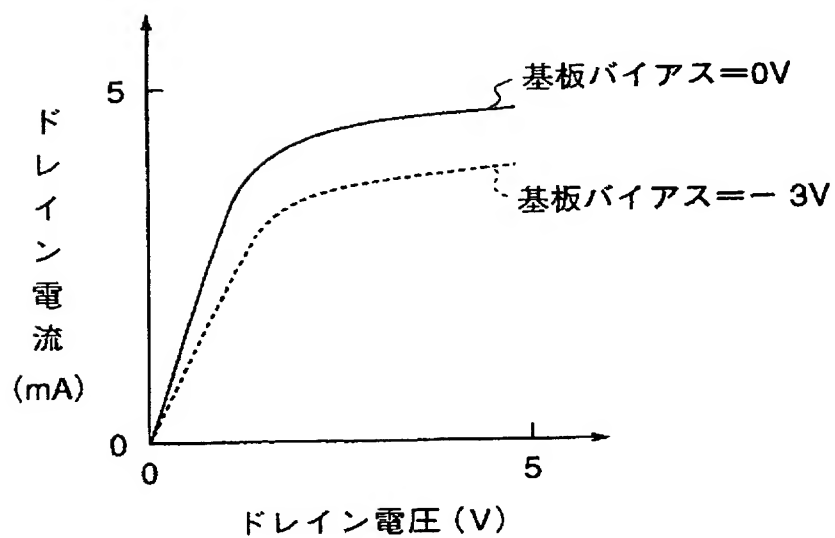
1; MOS 型半導体集積回路

4; データ I/O 端子

5; チップセレクト端子



【第2図】

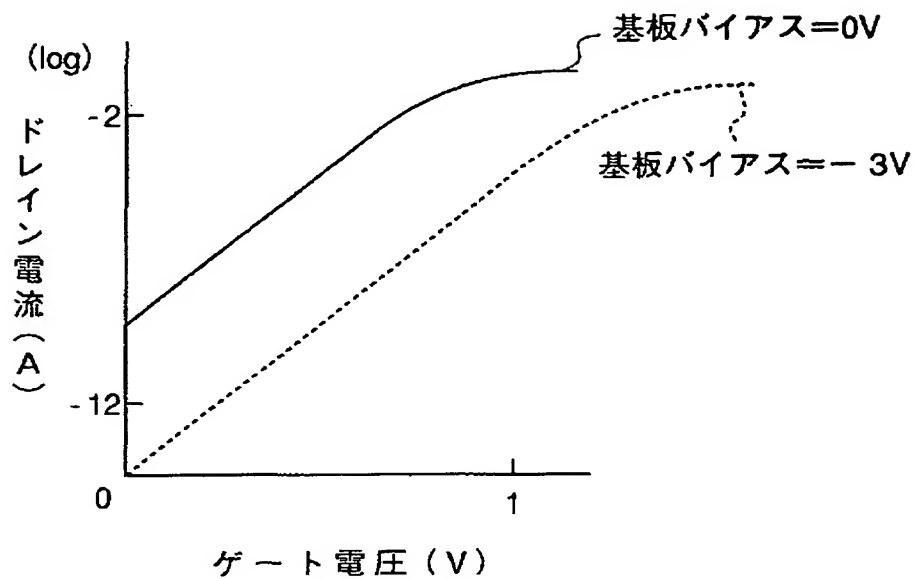


【第3図】

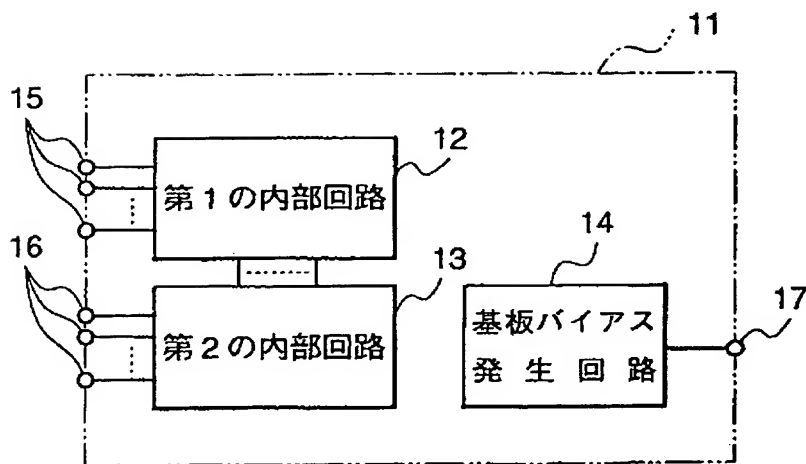
11; MOS 型半導体集積回路

15,16; データ I/O 端子

17; 活性状態・待機状態選択端子



【第4図】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

H O 1 L 27/092